

DRY ETCHING METHOD AND MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP2000252259

Publication date: 2000-09-14

Inventor(s): FUKUDA SEIICHI

Applicant(s):: SONY CORP

Requested Patent: JP2000252259 (JP00252259)

Application Number: JP19990048638 19990225

Priority Number(s):

IPC Classification: H01L21/3065 ; C23F4/00 ; H01L29/78

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To form a gate electrode with a laminated tungsten having a excellent form-controllability, without breaking a gate insulating film.

SOLUTION: A polysilicon film 3, reaction barrier film 4 of tungsten nitride, tungsten film 5, and offset film 6 of silicon nitride are sequentially formed on a gate insulating film 2. Then the offset film 6 is etched with a photoresist as a mask. Then with the offset film 6 as a mask, the tungsten film 5 is etched. Here, a mixed gas comprising fluorine group gas, chlorine, oxygen, and nitrogen is used as an etching gas.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-252259

(P2000-252259A)

(43)公開日 平成12年9月14日(2000.9.14)

(51)Int.Cl.⁷

H 01 L 21/3065

C 23 F 4/00

H 01 L 29/78

識別記号

F I

テ-マコ-ト(参考)

H 01 L 21/302

F 4 K 0 5 7

C 23 F 4/00

E 5 F 0 0 4

H 01 L 21/302

J 5 F 0 4 0

29/78

3 0 1 G

3 0 1 F

審査請求 未請求 請求項の数 8 OL (全 10 頁)

(21)出願番号

特願平11-48638

(22)出願日

平成11年2月25日(1999.2.25)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 福田 誠一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 100067736

弁理士 小池 晃 (外2名)

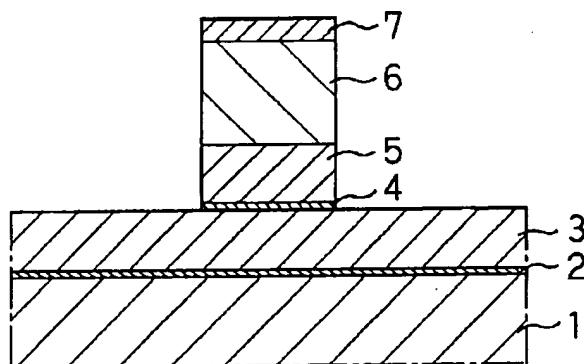
最終頁に続く

(54)【発明の名称】 ドライエッチング方法及び半導体装置の製造方法

(57)【要約】

【課題】 良好的な形状制御性が得られ、ゲート絶縁膜を破壊することなく、タングステンが積層されたゲート電極を形成する。

【解決手段】 ゲート絶縁膜2上に、ポリシリコン膜3、窒化タングステンからなる反応障壁膜4、タングステン膜5、窒化シリコンからなるオフセット膜6を順次成膜した後、フォトレジストをマスクにしてオフセット膜6をエッチングする。続いて、このオフセット膜6をマスクにして、タングステン膜5をエッチングする。このときのエッチングガスに、フッ素系ガスと、塩素と、酸素と、窒素との混合ガスを用いる。



タングステン膜エッチング工程

【特許請求の範囲】

【請求項1】 フッ素系ガスと、塩素又は臭化水素と、酸素と、窒素とを含む混合ガスにより、タングステンをドライエッチングすることを特徴とするドライエッチング方法。

【請求項2】 上記フッ素系ガスは、ガス分子構成元素中のフッ素以外の構成元素に対するフッ素原子の比率が4以下（ガス分子構成が $M_x F_y$ の場合、 $Y/X \leq 4$ である。ここで、Mはフッ素原子以外の元素、Fはフッ素）であることを特徴とする請求項1記載のドライエッチング方法。

【請求項3】 上記フッ素系ガスは、ガス分子構成元素中のフッ素原子の総数が4以下で、且つ、炭素原子を含むことを特徴とする請求項2記載のドライエッチング方法。

【請求項4】 下層側から順に、多結晶シリコン膜又はアモルファスシリコン膜と、窒化タングステン膜又は窒化チタン膜と、タングステン膜とをシリコン基板上に積層し、

フッ素系ガスと、塩素又は臭化水素と、酸素と、窒素とを含む混合ガスにより、上記窒化タングステン膜又は窒化チタン膜と上記タングステン膜とをドライエッチングして、ゲート電極を形成することを特徴とする半導体装置の製造方法。

【請求項5】 フッ素を含まないガスにより、上記多結晶シリコン膜又はアモルファスシリコン膜をドライエッティングして、ゲート電極を形成することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 酸化シリコン又は窒化シリコンによりマスクを形成して、ドライエッティングすることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】 上記フッ素系ガスは、ガス分子構成元素中のフッ素以外の構成元素に対するフッ素原子の比率が4以下（ガス分子構成が $M_x F_y$ の場合、 $Y/X \leq 4$ である。ここで、Mはフッ素原子以外の元素、Fはフッ素）であることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項8】 上記フッ素系ガスは、ガス分子構成元素中のフッ素原子の総数が4以下で、且つ、炭素原子を含むことを特徴とする請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、タングステンのドライエッティング方法、及び、ゲート電極にタングステンを用いた半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 従来より、MOSFET等の半導体装置では、ゲート電極の材料としてポリシリコンが広く用いられていたが、近年の高集積化や高速化に伴い、金属シ

リサイド膜とポリシリコン膜との2層構造からなるポリサイドゲートや、ポリシリコン膜上にチタンやコバルト等の金属膜を形成してこの金属膜とポリシリコン膜とを反応させて生成したセルフアラインシリサイドゲートが用いられるようになってきた。

【0003】 しかしながら、ゲート長が $0.13\mu m$ 以降の世代のMOSFET等の半導体装置では、これらポリサイドゲートやセルフアラインシリサイドゲートよりも、さらに低抵抗のゲート電極が求められている。

【0004】 これらポリサイドゲートやセルフアラインシリサイドゲートよりも低抵抗なゲート電極として、近年、ポリシリコンと反応障壁とタングステンとの積層構造からなるポリメタルゲートが注目されている。タングステンは、従来よりゲート電極に広く用いられているタングステンシリサイドに比べてその比抵抗が約一桁小さい。そのため、このタングステンをゲート電極の材料として用いることにより、半導体装置の信号伝達を大幅に短縮することが可能となり、また、半導体装置の高集積化及び高速化を図ることができる。

【0005】 このような技術背景から、このポリメタルゲートを微細加工するための主要技術であるドライエッティングについても開発が進められている。

【0006】 現在、タングステンをドライエッティングするガスとして、ドライエッティングに採用されてから実績が長く且つ使用上の取り扱いも容易であるという理由から、塩素(Cl_2)と六フッ化硫黄(SF_6)との混合ガスが検討されている。六フッ化硫黄は、プラズマ中で分解され、大量のFラジカルとFイオンが発生する。そのため、この六フッ化硫黄をドライエッティングに用いると、“ $W + 6F \rightarrow WF_6 \uparrow$ ”の反応により高速にタングステンをエッティングすることができる。

【0007】

【発明が解決しようとする課題】 ところで、ドライエッティングでは、微視的には、反応生成物の蓄積、エッティング種の吸着、エッティング種の反応、エッティング種の脱離が、被エッティング膜の表面において短時間のサイクルで繰り返されている。そのため、エッティング速度が相対的に遅い場合、被エッティング膜の表面を微視的に見ると、図1-1に示すように膜表面の凹凸が少なく表面が平坦化している。しかしながら、エッティング速度が相対的に速い場合、被エッティング膜の表面を微視的に見ると、図1-2に示すように膜表面の凹凸が大きく表面が荒くなっている。

【0008】 六フッ化硫黄のような高次のフッ素系ガスでは、フッ素が大量に発生する。そのため、タングステンをドライエッティングするガスとして六フッ化硫黄を用いた場合、タングステンのエッティング速度が速くなる。エッティング速度が単に速くなることはタングステンをエッティングするという観点から特に問題はない。しかしながら、タングステン膜の下層にタングステンとエッテン

グの選択性が十分取られていない他の材料の薄膜が成膜されている場合には、タンクスチンのドライエッティング時に生じた表面の凹凸が、下層の材料の作用に影響を及ぼし不具合が生じる。特に、ゲート長が0.13μm以降の世代のMOSFET等の半導体装置では、ゲート絶縁膜の膜厚が数nmオーダー或いはそれ以下であるため、タンクスチンのエッティング時に生じる表面の凹凸が荒いと、この凹凸がゲート絶縁膜に達して破壊する可能性がある。

【0009】また、エッティング反応に介在するイオンは、基板最表面での粒子の入射分布幅を基板設置電極に印加したバイアスにより制御可能であるが、エッティング反応に介在するラジカルは、荷電子粒子ではないので、基板最表面での粒子の入射分布幅を制御することが困難である。従って、イオンに対して相対的にラジカルが少なくなるエッティングガスを用いた場合、図13に示すように、細線が密集した領域と細線が孤立した領域とでエッティングの速度がほとんど変わらないが、イオンに対して相対的にラジカルが多くなるエッティングガスを用いた場合、マイクロローディング効果が大きな作用を及ぼし、図14に示すように、細線が密集した領域ではエッティング速度が遅くなり、細線が孤立した領域ではエッティングの速度が速くなってしまう。

【0010】フッ素は、一般に、プラズマ中におけるラジカルの生成から消滅までの時間が長い。そのため、六フッ化硫黄のように、ガス分子中に大量のフッ素を含むガスの場合、Fラジカルの発生量も多くなる。従って、タンクスチンをドライエッティングするガスとして、六フッ化硫黄のような高次のフッ素系ガスを用いると、プラズマ中におけるラジカルの量が相対的に多くなり、同一チップ内におけるマスクパターンの相違により、エッティング速度を均一にすることができず良好な形状制御性を得ることができない。

【0011】本発明は、このような実情を鑑みてなされたものであり、良好な形状制御性が得られ、エッティング表面を平坦化し、良好な形状制御性が得られるタンクスチンのドライエッティング方法を提供することを目的とする。

【0012】また、本発明は、良好な形状制御性が得られ、ゲート絶縁膜を破壊することなく、タンクスチンが積層されたゲート電極を形成することができる半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明にかかるドライエッティング方法は、フッ素系ガスと、塩素又は臭化水素と、酸素と、窒素とを含む混合ガスにより、タンクスチンをドライエッティングすることを特徴とする。

【0014】本発明にかかる半導体装置の製造方法は、下層側から順に、多結晶シリコン膜又はアモルファスシリコン膜と、窒化タンクスチン膜又は窒化チタン膜と、

タンクスチン膜とをシリコン基板上に積層し、フッ素系ガスと、塩素又は臭化水素と、酸素と、窒素とを含む混合ガスにより、上記窒化タンクスチン膜又は窒化チタン膜と上記タンクスチン膜とをドライエッティングして、ゲート電極を形成することを特徴とする。

【0015】本発明にかかるドライエッティング方法では、上記混合ガスによりタンクスチンをドライエッティングし、このタンクスチンを所定の形状に加工する。

【0016】また、本発明にかかる半導体装置の製造方法では、シリコン基板上に、下層から順に、多結晶シリコン膜又はアモルファスシリコン膜のいずれか一方を成膜し、窒化タンクスチン膜又は窒化チタン膜のいずれか一方を成膜し、タンクスチン膜を成膜する。続いて、本発明にかかる半導体装置の製造方法では、上記混合ガスにより、上記窒化タンクスチン膜又は窒化チタン膜、及び、上記タンクスチン膜をドライエッティングし、ゲート電極を成形する。なお、上記窒化タンクスチン膜及び上記窒化チタン膜は、多結晶シリコン膜又はアモルファスシリコン膜と、タンクスチン膜との間に成膜され、バリア層として機能する。そのため、この窒化タンクスチン膜及び窒化チタン膜は、上記タンクスチン膜に対して膜厚が十分薄く形成される。

【0017】上記混合ガスには、フッ素系ガスと、塩素又は臭化水素のいずれか一方のガスと、酸素と、窒素とを含むが含まれている。

【0018】上記混合ガスに含まれる各ガスの役割は以下のとおりである。

【0019】フッ素系ガスは、プラズマ中でFラジカルとFイオンに分離され、これらがタンクスチンと結合してエッティングを促進する。

【0020】本発明では、例えば、フッ素系ガスとして、ガス分子構成元素中のフッ素以外の構成元素に対するフッ素原子の比率が4以下のものを用いる。すなわち、フッ素系ガスの分子構成が $M_x F_y$ であったとすると、 Y/X が4以下のものを用いる。ここで、Mはフッ素原子以外の元素を示し、Fはフッ素を示す。さらに具体的には、 CF_4 、 CHF_3 、 CH_2F_2 、 CHF_2 等のガス分子構成元素中のフッ素原子の総数が4以下で且つ炭素原子を含むフッ素系ガスを用いる。このようなフッ素原子の比率が4以下のフッ素系ガスは、六フッ化硫黄のような高次のフッ素系ガスよりもエッティング速度が遅く、タンクスチン膜に対して、実用的なエッティング速度となる。また、このようなフッ素原子の比率が4以下のフッ素系ガスは、プラズマ中で発生するFラジカルがFイオンに対して相対的に少なくなり、マイクロローディング効果による作用が少なくなる。

【0021】上記混合ガスには、塩素又は臭素のいずれか一方のガスが含まれる。塩素は、酸素とともにタンクスチンのオキシハライド($WO_x C l_y$)を形成し、タンクスチンのエッティングを促進する。同様に臭素も、酸素

とともにタングステンのオキシハライド (WO_xBry) を形成し、タングステンのエッチングを促進する。

【0022】窒素は、タングステン膜の側壁等を窒化させて窒化タングステンを形成し、細線が孤立した領域でのエッチングの進行を抑制する。そのため窒素は、細線が密集した領域でのエッチング速度と細線が孤立した領域でのエッチングの速度とを均一にする。

【0023】このような、フッ素系ガスと、塩素又は臭化水素のいずれか一方のガスと、酸素と、窒素とを含むが上記混合ガスに含まれていることにより、マイクロローディング効果を抑制するとともに実用的な速度で、タングステンをエッチングする。

【0024】

【発明の実施の形態】以下、本発明を適用した実施の形態として、ゲート電極にタングステンを採用したMOS型トランジスタの製造プロセスについて、図面を参照しながら説明する。

【0025】本発明を適用した実施の形態のMOS型トランジスタの製造工程では、まず、図1に示すように、n型又はp型のシリコン基板1上の表面を熱処理により酸化させゲート絶縁膜2を形成する。

【0026】続いて、図2に示すように、シリコン基板1上の全面にポリシリコンを堆積させポリシリコン膜3を成膜する。なお、ゲート絶縁膜2上に成膜したポリシリコン膜3に代えて、アモルファスシリコン膜を形成してもよい。この場合、後の工程において熱処理を行い、堆積させたアモルファスシリコンを結晶化させる。

【0027】続いて、図3に示すように、ポリシリコン膜3上に窒化タングステン或いは窒化チタンを堆積させ反応障壁膜4を成膜する。反応障壁膜4の形成方法は、例えば、成膜したタングステン或いはチタンを窒素雰囲気中で熱処理することにより形成してもよいし、また、成膜したタングステン或いはチタンに対してプラズマ窒化処理や反応性イオンスパッタリングを施すことにより形成してもよい。

【0028】続いて、図4に示すように、反応障壁膜4上にタングステンを堆積させタングステン膜5を成膜する。

【0029】成膜されたポリシリコン膜3、反応障壁膜4及びタングステン膜5は、導電性材料であり、後述するようにパターニングされてゲート電極となる。

【0030】ここで、タングステンは、従来よりゲート電極に広く用いられているタングステンシリサイドに比べてその比抵抗が約一桁小さい。そのため、このタングステンをゲート電極の材料として用いることにより、半導体装置の信号伝達を大幅に短縮することが可能となり、また、半導体装置の高集積化及び高速化を図ることができる。なお、タングステンは、600°C程度の熱処理でポリシリコンと反応してシリサイド化し抵抗値が高くなってしまう。そのため、ポリシリコン膜3とタン

グステン膜5との間に、バリア層として反応障壁膜4を形成している。また、この反応障壁膜4は、バリア層として機能するものであるので、タングステン膜5に対し膜厚が十分薄く形成される。

【0031】続いて、図5に示すように、タングステン膜5上に窒化シリコン或いは酸化シリコンを堆積させオフセット膜6を成膜する。

【0032】続いて、図6に示すように、フォトリソグラフィで高解像度が得られるように、窒化シリコン (Si_3N_4) を堆積させ反射防止膜7を成膜する。

【0033】続いて、図7に示すように、反射防止膜7上にフォトリソグラフィと現像処理とによりフォトレジスト8をパターニングする。

【0034】続いて、図8に示すように、フォトレジスト8をマスクにして、反射防止膜7及びオフセット膜6をドライエッチングする。

【0035】続いて、図9に示すように、パターニングした反射防止膜7及びオフセット膜6をマスクとして、タングステン膜5及び反応障壁膜4をドライエッチングする。

【0036】ここで用いるエッチングガスは、フッ素系ガスと、塩素又は臭化水素のいずれか一方のガスと、酸素と、窒素とを含む混合ガスである。

【0037】この混合ガスに含まれる各ガスのタングステン膜5をエッチングする際の役割は以下のとおりである。

【0038】フッ素系ガスは、プラズマ中でFラジカルとFイオンに分離され、これらがタングステンと結合してエッチングを促進する。

【0039】例えば、フッ素系ガスとして、ガス分子構成元素中のフッ素以外の構成元素に対するフッ素原子の比率が4以下のものを用いる。すなわち、フッ素系ガスの分子構成が M_xF_y であったとすると、Y/Xが4以下のものを用いる。ここで、Mはフッ素原子以外の元素を示し、Fはフッ素を示す。さらに具体的には、 CF_4 , CHF_3 , CH_2F_2 , CHF_2 等のガス分子構成元素中のフッ素原子の総数が4以下で且つ炭素原子を含むフッ素系ガスを用いる。このようなフッ素原子の比率が4以下のフッ素系ガスは、六フッ化硫黄のような高次のフッ素系ガスよりもエッチング速度が遅く、タングステン膜5に対して、実用的なエッチング速度となる。また、このようなフッ素原子の比率が4以下のフッ素系ガスは、プラズマ中で発生するFラジカルがFイオンに対して相対的に少なくなり、マイクロローディング効果による作用が少なくなる。

【0040】この混合ガスには、塩素又は臭素のいずれか一方のガスが含まれる。塩素は、酸素とともにタングステンのオキシハライド (WO_xCl_y) を形成し、タングステン膜5のエッチングを促進する。同様に臭素も、酸素とともにタングステンのオキシハライド (WO_xBr_y) を

r_y) を形成し、タングステン膜5のエッチングを促進する。

【0041】窒素は、タングステン膜5の側壁等を窒化させて窒化タングステンを形成し、細線が孤立した領域でのエッチングの進行を抑制する。そのため窒素は、ゲート電極パターンが密集した領域でのエッチング速度と、ゲート電極パターンが孤立した領域でのエッチングの速度とを均一にする。

【0042】このような、フッ素系ガスと、塩素又は臭化水素のいずれか一方のガスと、酸素と、窒素とを含むが上記混合ガスに含まれていることにより、マイクロローディング効果を抑制するとともに実用的な速度で、タングステン膜5をエッチングすることができる。

【0043】続いて、図10に示すように、タングステン膜5及び反応障壁膜4をドライエッチングした装置と同一の装置で、フッ素を含まないエッチングガスを用いて、連続的に、ポリシリコン膜3をドライエッチングする。ポリシリコン膜3のドライエッチングでは、ポリシリコン膜3上の自然酸化膜の除去及び窒化タングステンの残渣の除去、ポリシリコン膜3のエッチング、ポリシリコン膜3のオーバーエッチングを連続的に行う。

【0044】以上のように、タングステン膜5、反応障壁膜4及びポリシリコン膜3をドライエッチングすることにより、ゲート電極9がシリコン基板1上に形成される。

【0045】以下、不純物拡散領域への低濃度不純物のイオン注入、サイドウォールの形成、不純物拡散領域への高濃度不純物のイオン注入、不純物の拡散、層間絶縁膜の成膜等を行って、MOS型トランジスタが完成する。

【0046】以上のように本発明を適用した実施の形態のMOS型トランジスタの製造プロセスでは、ゲート電極にタングステンを含むポリメタルゲートを採用し、高速化及び微細化を図ったMOS型トランジスタを製造することができる。

【0047】また、本発明を適用した実施の形態のMOS型トランジスタの製造プロセスでは、フッ素系ガスと、塩素又は臭化水素のいずれか一方のガスと、酸素と、窒素とを含む混合ガスを用いて、マイクロローディング効果を抑制するとともに実用的な速度で、ゲート電極となるタングステンをエッチングする。このことにより、この製造プロセスでは、マイクロローディング効果による影響を抑制することにより、同一チップ内におけるパターンの違いに依存せずにゲート電極9の形状を制御することができる。また、この製造プロセスでは、実用的な速度によりタングステン膜5及び窒化タングステン又は窒化チタンからなる反応障壁膜4をエッチングすることにより、ゲート電極9のエッチング表面を平坦に加工することができ、下層にあるゲート絶縁膜2等の物理的な損傷を無くし、タングステン膜5とポリシリコン

膜4とを連続的にエッチングすることができる。

【0048】

【実施例】次に、ゲート電極にポリメタルゲートを採用了MOS型トランジスタの製造プロセスの実施例を、具体的な実験例に基づいて説明する。

【0049】第1の実施例

まず、ゲート電極にポリメタルゲートを採用了MOS型トランジスタの製造プロセスの第1の実施例を説明する。この第1の実施例は、反応障壁膜4及びタングステン膜5のエッチング処理にECR(Electron Cyclotron Resonance)反応性イオン流エッチング装置を用い、フッ素系ガスにCF₄を用いた例である。

【0050】まず、シリコン基板1上に、膜厚が2.5nmのゲート絶縁膜2を形成した。次に、LPCVD装置により、シリコン基板1上の全面に膜厚100nmのポリシリコン膜3を成膜した。次に、スパッタ装置により、ポリシリコン膜3上に膜厚5nmのタングステンを成膜した。次に、この膜厚5nmのタングステンを窒素雰囲気中850°Cで10分間アーナー処理して、窒化タングステンからなる反応障壁膜4を形成した。次に、スパッタ装置により、反応障壁膜4上に膜厚100nmのタングステン膜5を成膜した。

【0051】続いて、LPCVD装置により、タングステン膜5上に膜厚150nmの窒化シリコン膜をオフセット膜6として成膜した。次に、プラズマCVD装置により、オフセット膜6上に、膜厚30nmの酸化窒化シリコン(SiON)からなる反射防止膜7を成膜した。

【0052】続いて、エキシマレーザステッパー用いて、反射防止膜7上にフォトレジスト8をパターニングした。

【0053】続いて、フォトレジスト8をマスクにして、窒化シリコンからなるオフセット膜6及び酸化窒化シリコン(SiON)からなる反射防止膜7を、並行平板型挿ギャップの酸化膜エッチング装置によりドライエッチングした。このときのエッチング条件は条件は以下のとおりである。

【0054】オフセット膜6及び反射防止膜7のドライエッチング条件

圧力 : 130Pa

RF電力 : 1000W(13.56MHz)

ガス流量 : CF₄ (95ml/min)

: Ar (950ml/min)

電極温度 : 40°C

【0055】続いて、パターニングしたオフセット膜6をマスクとして、タングステン膜5及び反応障壁膜4をECR反応性イオン流エッチング装置によりドライエッチングした。ECR反応性イオン流エッチング装置は、イオン源によりプラズマ流を発散させ、プラズマ流内に置かれた基板をエッチングする装置である。このときのエッチング条件は以下のとおりである。

【0056】タングステン膜5及び反応障壁膜4のドライエッティング条件

圧力 : 0.3 Pa
 マイクロ波電力 : 800W (2.45GHz)
 ウェハ電力 RF電力 : 50W (400kHz)
 ガス流量 : Cl₂ (15ml/min)
 : CF₄ (30ml/min)
 : N₂ (10ml/min)
 : O₂ (20ml/min)
 電極温度 : 30°C

【0057】 続いて、反応障壁膜4及びタングステン膜5をエッティングした同一のE C R反応性イオン流エッティング装置により、連続的に、ポリシリコン膜3をドライエッティングし、ゲート電極9をバーニングした。このときのエッティング条件は以下のとおりである。

【0058】 ポリシリコン膜3上の自然酸化膜の除去及び塗化タングステンの残渣の除去条件

圧力 : 0.5 Pa
 ポリシリコン膜3のオーバエッティング条件
 圧力 : 0.5 Pa
 マイクロ波電力 : 400W (2.45GHz)
 ウェハ電力 RF電力 : 20W (400kHz)
 ガス流量 : HBr (100ml/min)
 : O₂ (10ml/min)
 電極温度 : 40°C
 エッティング時間 : 20秒

【0061】 続いて、このポリシリコン膜3のエッティング処理の後、不純物拡散領域への低濃度不純物のイオン注入、サイドウォールの形成、不純物拡散領域への高濃度不純物のイオン注入、不純物の拡散、層間絶縁膜の成膜等を行って、MOS型トランジスタを製造した。

【0062】 以上のような第1の実施例では、塗化シリコンから成るオフセット膜6、タングステン膜5、塗化タングステンからなる反応障壁膜4、ポリシリコン膜3から構成されるゲート電極を異方性形状に加工することができた。

【0063】第2の実施例

つぎに、ゲート電極にポリメタルゲートを採用したMOS型トランジスタの製造プロセスの第2の実施例を説明する。この第2の実施例は、反応障壁膜4及びタングステン膜5のエッティング処理に誘導結合型のICP (inductively coupled plasma) エッティング装置を用い、フッ素系ガスにCHF₃を用いた例である。

【0064】 この第2の実施例では、塗化シリコンからなるオフセット膜6及び酸化塗化シリコン (SiON) からなる反射防止膜7を、並行平板型挿ギャップの酸化膜エッティング装置によりドライエッティングするまで、上述した第1の実施例と同一の処理を行った。

【0065】 続いて、バーニングしたオフセット膜6をマスクとして、タングステン膜5及び反応障壁膜4を

マイクロ波電力 : 400W (2.45GHz)
 ウェハ電力 RF電力 : 50W (400kHz)
 ガス流量 : Cl₂ (120ml/min)
 電極温度 : 40°C
 エッティング時間 : 10秒

【0059】 ポリシリコン膜3のエッティング条件

圧力 : 0.5 Pa
 マイクロ波電力 : 400W (2.45GHz)
 ウェハ電力 RF電力 : 25W (400kHz)
 ガス流量 : Cl₂ (15ml/min)
 : HBr (95ml/min)
 : O₂ (5ml/min)
 電極温度 : 40°C

なお、エッティング時間は、SiCl₂の発光波長を計測することによる自動終点判定で決定した。

【0060】

誘導結合型のICPエッティング装置によりドライエッティングした。

【0066】 タングステン膜5及び反応障壁膜4のドライエッティング条件

圧力 : 0.4 Pa
 ICP RF電力 : 600W (12.56MHz)
 ウェハ電力 RF電力 : 80W (13.56MHz)
 ガス流量 : Cl₂ (60ml/min)
 : CHF₃ (15ml/min)
 : N₂ (10ml/min)
 : O₂ (10ml/min)
 電極温度 : 40°C

【0067】 続いて、反応障壁膜4及びタングステン膜5をエッティングした同一のICPエッティング装置により、連続的に、ポリシリコン膜3をドライエッティングし、ゲート電極9をバーニングした。このときのエッティング条件は以下のとおりである。

【0068】 ポリシリコン膜3上の自然酸化膜の除去及び塗化タングステンの残渣の除去条件

圧力 : 0.4 Pa
 ICP RF電力 : 500W (13.56MHz)
 ウェハ電力 RF電力 : 100W (12.56MHz)
 ガス流量 : Cl₂ (100ml/min)
 電極温度 : 40°C

エッティング時間 : 10秒 【0069】
 ポリシリコン膜3のエッティング条件
 圧力 : 6.5 Pa
 ICP RF電力 : 600W (13.56MHz)
 ウェハ電力 RF電力 : 120W (12.56MHz)
 ガス流量 : HBr (120ml/min)
 : O₂ (3ml/min)
 電極温度 : 40°C

なお、エッティング時間は、SiCl₂の発光波長を計測することによる自動終点判定で決定した。 【0070】

ポリシリコン膜3のオーバエッティング条件
 圧力 : 6.5 Pa
 ICP RF電力 : 600W (13.56MHz)
 ウェハ電力 RF電力 : 100W (12.56MHz)
 ガス流量 : HBr (120ml/min)
 : O₂ (5ml/min)
 電極温度 : 40°C
 エッティング時間 : 30秒

【0071】 続いて、このポリシリコン膜3のエッティング処理の後、不純物拡散領域への低濃度不純物のイオン注入、サイドウォールの形成、不純物拡散領域への高濃度不純物のイオン注入、不純物の拡散、層間絶縁膜の成膜等を行って、MOS型トランジスタを製造した。

【0072】 以上のような第2の実施例では、窒化シリコンから成るオフセット膜6、タングステン膜5、窒化タングステンからなる反応障壁膜4、ポリシリコン膜3から構成されるゲート電極を異方性形状に加工することができた。

【0073】 第3の実施例

次に、ゲート電極にポリメタルゲートを採用したMOS型トランジスタの製造プロセスの第3の実施例を説明する。この第3の実施例は、反応障壁膜4及びタングステン膜5のエッティング処理に誘導結合型のICP(indu

タングステン膜5及び反応障壁膜4のドライエッティング条件
 圧力 : 0.4 Pa
 ICP RF電力 : 600W (12.56MHz)
 ウェハ電力 RF電力 : 90W (13.56MHz)
 ガス流量 : Cl₂ (80ml/min)
 : CH₂F₂ (20ml/min)
 : N₂ (5ml/min)
 : O₂ (5ml/min)
 電極温度 : 40°C

【0077】 続いて、反応障壁膜4及びタングステン膜5をエッティングした同一のICPエッティング装置により、連続的に、ポリシリコン膜3をドライエッティングし、ゲート電極9をパターニングした。このときのエッティング条件は以下のとおりである。

【0078】 ポリシリコン膜3上の自然酸化膜の除去及び窒化タングステンの残渣の除去条件

ctively coupled plasma)エッティング装置を用い、フッ素系ガスにCH₂F₂を用いた例である。

【0074】 この第3の実施例では、窒化シリコンからなるオフセット膜6及び酸化窒化シリコン(SiON)からなる反射防止膜7を、並行平板型挿ギャップの酸化膜エッティング装置によりドライエッティングするまで、上述した第1の実施例及び第2の実施の形態と同一の処理を行った。

【0075】 続いて、パターニングしたオフセット膜6をマスクとして、タングステン膜5及び反応障壁膜4を誘導結合型のICPエッティング装置によりドライエッティングした。このときのエッティング条件は以下のとおりである。

【0076】

圧力 : 0.4 Pa
 ICP RF電力 : 500W (13.56MHz)
 ウェハ電力 RF電力 : 100W (12.56MHz)
 ガス流量 : Cl₂ (100ml/min)
 電極温度 : 40°C
 エッティング時間 : 10秒

【0079】

ポリシリコン膜3のエッティング条件

圧力 : 6.5 Pa
ICP RF電力 : 600W (13.56MHz)
ウェハ電力 RF電力 : 120W (12.56MHz)
ガス流量 : HBr (120ml/min)
: O₂ (3ml/min)
電極温度 : 40°C

なお、エッチャング時間は、SiCl₄の発光波長を計測することによる自動終点判定で決定した。

ポリシリコン膜3のオーバエッチャング条件

圧力 : 6.5 Pa
ICP RF電力 : 600W (13.56MHz)
ウェハ電力 RF電力 : 100W (12.56MHz)
ガス流量 : HBr (120ml/min)
: O₂ (5ml/min)
電極温度 : 40°C
エッチャング時間 : 30秒

【0081】続いて、このポリシリコン膜3のエッチャング処理の後、不純物拡散領域への低濃度不純物のイオン注入、サイドウォールの形成、不純物拡散領域への高濃度不純物のイオン注入、不純物の拡散、層間絶縁膜の成膜等を行って、MOS型トランジスタを製造した。

【0082】以上のような第3の実施例では、窒化シリコンから成るオフセット膜6、タンゲステン膜5、窒化タンゲステンからなる反応障壁膜4、ポリシリコン膜3から構成されるゲート電極を異方性形状に加工することができた。

【0083】

【発明の効果】以上のように本発明にかかるエッチャング方法では、フッ素系ガスと、塩素又は臭化水素のいずれか一方のガスと、酸素と、窒素とを含む混合ガスを用いて、マイクロローディング効果を抑制するとともに実用的な速度でタンゲステンをエッチャングする。このことにより、本発明にかかるエッチャング方法では、マイクロローディング効果による影響を抑制することにより、加工するパターンの形状に依存せずにタンゲステンの形状を制御することができる。また、本発明にかかるエッチャング方法では、実用的な速度によりタンゲステンをエッチャングすることにより、タンゲステンのエッチャング表面を平坦に加工することができ、下層にある材料の特性に影響を与えることがない。

【0084】また、本発明にかかる半導体装置の製造方法では、フッ素系ガスと、塩素又は臭化水素のいずれか一方のガスと、酸素と、窒素とを含む混合ガスを用いて、マイクロローディング効果を抑制するとともに実用的な速度で、ゲート電極となるタンゲステンをエッチャングする。このことにより、本発明にかかる半導体装置の製造方法では、ゲート電極の抵抗値を下げることができる。トランジスタの低電力化及び高速化を図ることができる。また、本発明にかかる半導体装置の製造方法では、マイクロローディング効果による影響を抑制するこ

とにより、同一チップ内におけるパターンの違いに依存せずにゲート電極の形状を制御することができる。また、本発明にかかる半導体装置の製造方法では、実用的な速度によりタンゲステン及び窒化タンゲステン又は窒化チタンをエッチャングすることにより、ゲート電極のエッチャング表面を平坦に加工することができ、下層にあるゲート絶縁膜等の物理的な損傷を無くし、タンゲステンと多結晶シリコン又はアモルファスシリコンとを連続的にエッチャングすることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態の半導体装置の製造方法において、シリコン基板上にゲート絶縁膜を形成した状態を示す模式的な断面図である。

【図2】図1のゲート絶縁膜上にポリシリコン膜を成膜した状態を示す模式的な断面図である。

【図3】図2のポリシリコン膜上に反応障壁膜を成膜した状態を示す模式的な断面図である。

【図4】図3の反応障壁膜上にタンゲステン膜を成膜した状態を示す模式的な断面図である。

【図5】図4のタンゲステン膜上にオフセット膜を成膜した状態を示す模式的な断面図である。

【図6】図5のオフセット膜上に反射防止膜を成膜した状態を示す模式的な断面図である。

【図7】図6の反射防止膜上にフォトレジストをパターン化した状態を示す模式的な断面図である。

【図8】図7のオフセット膜及び反射防止膜をエッチャングした状態を示す模式的な断面図である。

【図9】図8のタンゲステン膜をエッチャングした状態を示す模式的な断面図である。

【図10】図9のポリシリコン膜をエッチャングした状態を示す模式的な断面図である。

【図11】エッチャング速度が相対的に遅い場合の被エッチャング膜の状態を示す模式的な断面図である。

【図12】エッチャング速度が相対的に速い場合の被エッ

チング膜の状態を示す模式的な断面図である。

【図13】エッティングガスに含まれているラジカルがイオンに対して相対的に少ない場合の被エッティング膜の状態を示す模式的な断面図である。

【図14】エッティングガスに含まれているラジカルがイオンに対して相対的に多い場合の被エッティング膜の状態

を示す模式的な断面図である。

【符号の説明】

1 シリコン基板、2 ゲート絶縁膜、3 ポリシリコン膜、4 反応障壁膜、5 タングステン膜、6 オフセット膜、7 反射防止膜、8 フォトレジスト、9 ゲート電極

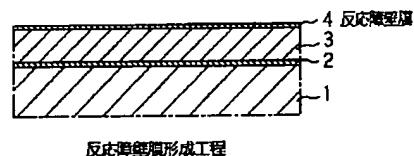
【図1】



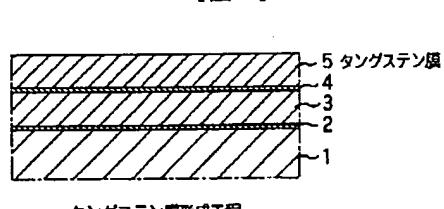
【図2】



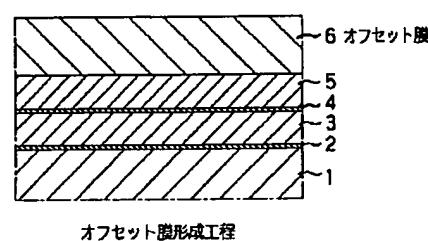
【図3】



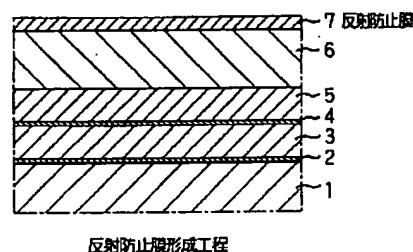
【図4】



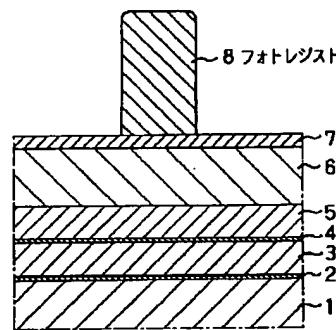
【図5】



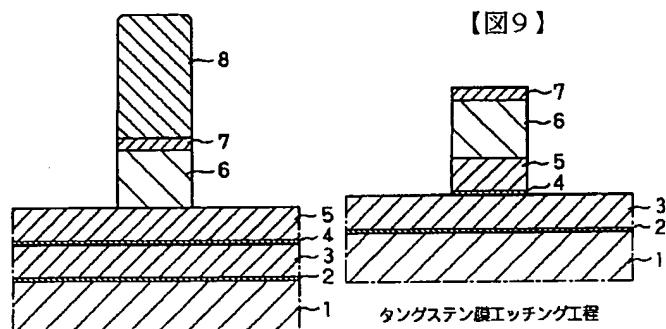
【図6】



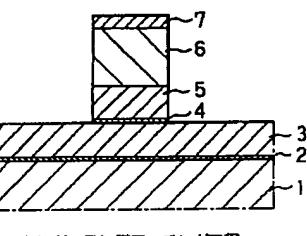
【図7】



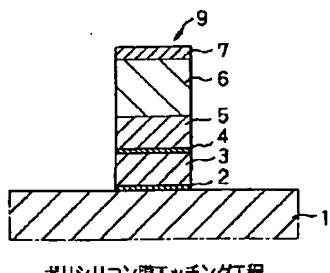
【図8】



【図9】



【図10】

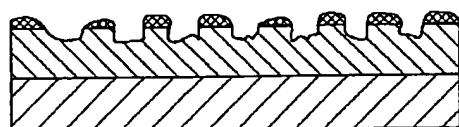


オフセット膜及び反射防止膜エッティング工程

タングステン膜エッティング工程

ポリシリコン膜エッティング工程

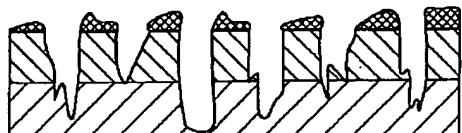
【図11】



■ 被エッチング膜表面に付着した反応生成物
■ 被エッチング膜1
■ 被エッチング膜2

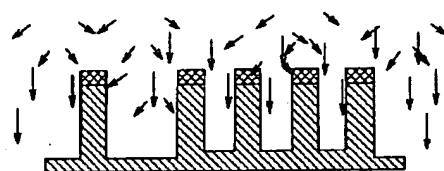
エッチング速度が相対的に遅い場合の被エッチング膜を微視的に見た概念図

【図12】



エッチング速度が相対的に速い場合の被エッチング膜を微視的に見た概念図

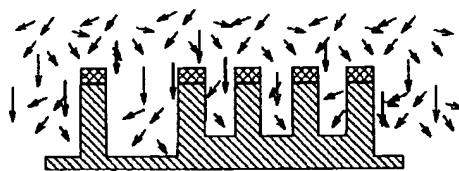
【図13】



■ イオン
■ ラジカル
■ エッチングマスク
■ 被エッチング膜

相対的にラジカルが多い場合のエッチング

【図14】



相対的にラジカルが多い場合のエッチング

フロントページの続き

Fターム(参考) 4K057 DA11 DA12 DD01 DD08 DE01
 DE06 DE08 DE11 DE20 DG02
 DG12 DJ03 DM01 DM17 DM18
 DM22 DM29 DN01
 5F004 BA14 BA20 BB13 BB14 CA04
 CA06 CB02 DA00 DA01 DA04
 DA15 DA16 DA25 DA26 DB02
 DB10 DB12 DB30 EA06 EA07
 EA22 EB02
 5F040 DC01 EC02 EC04 EC07 FC21